การทดลองที่ *8* Field Effect Transistor

จุดประสงค์

1) เพื่อศึกษาคุณสมบัติของ Junction Field-effect Transistor
2) เพื่อศึกษาการไบอัส JFET
3) เพื่อศึกษาการนำ FET ไปใช้งานเช่นวงจรขยาย และ Voltage Controlled Resistance

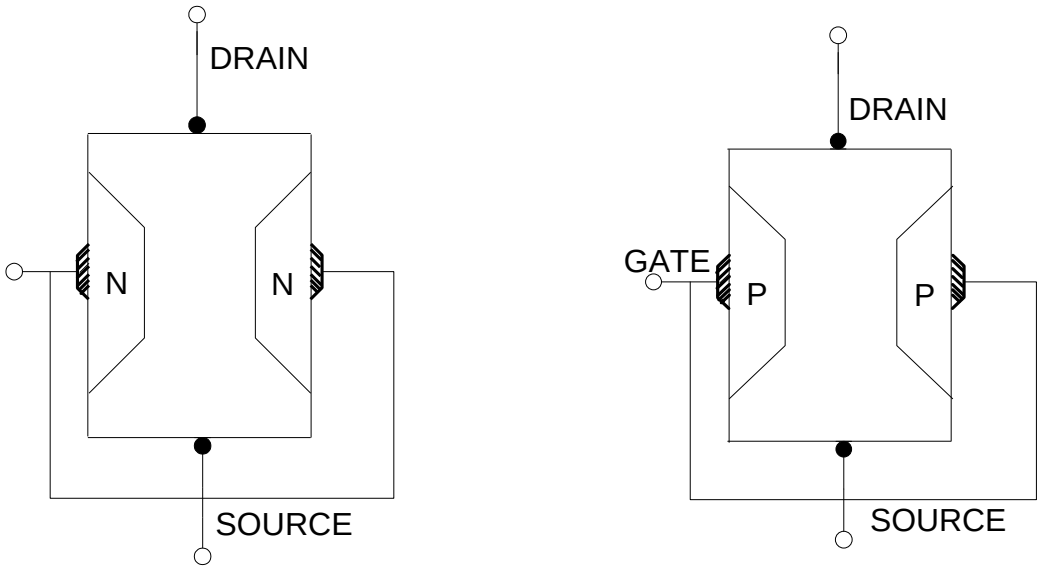
บทนำ

Bipolar Transistor นั้นจะทำงานในลักษณะของ Current Controlled Device กระแสในวงจรเอาต์พุต จะถูกควบคุมโดยกระแสอินพุทสำหรับ FET กระแสของเอาต์พุตจะถูกควบคุมโดยศักดาไฟฟ้าที่อินพุท การไหลของกระแสใน FET นี้กระแสจะไหลอยู่ในชิ้นของสารกึ่งตัวนำเพียงชิ้นเดียว จะไม่มีการไหลของกระแสผ่านรอยต่อ PN เลย ชิ้นของสารที่มีกระแสไหลผ่านนี้เรียกว่า “channel” ซึ่งอาจจะเป็นได้ทั้ง N และ P FET อาจแบ่งได้ตามโครงสร้างได้ 2 แบบคือ

1) Junction Field Effect Transistor (JFET)
2) Metal Oxide Semiconductor FET (MOSFET หรือ IGFET)

โครงสร้างและทฤษฎีการทำงานของ JFET

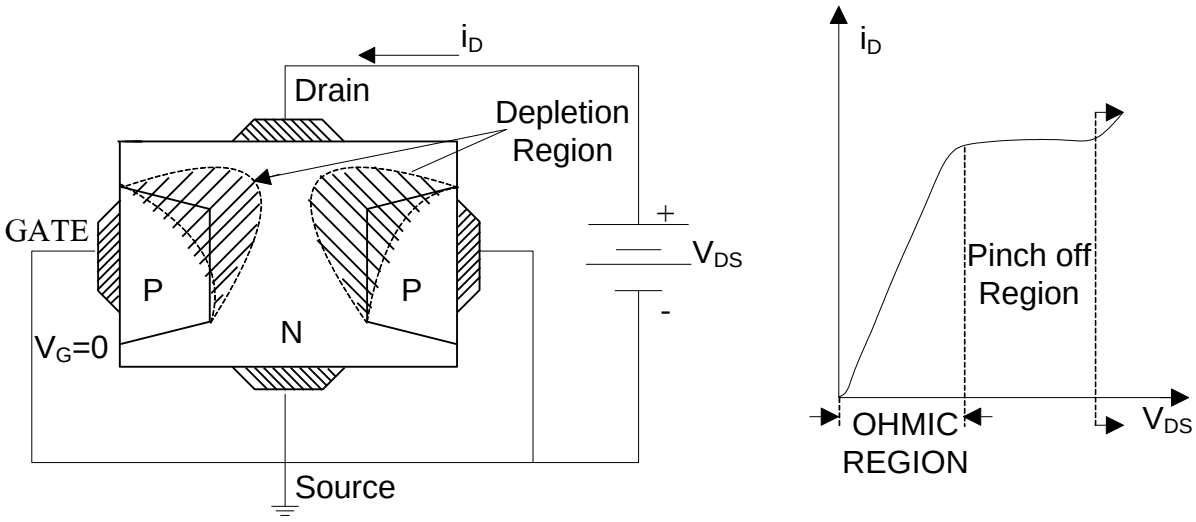
JFET เป็นชิ้นของสารกึ่งตัวนำ P หรือ N ซึ่งทำหน้าที่เป็น channel ในรูปที่ 1 เป็นโครงสร้างอย่างง่ายๆของ JFET



P channel J FET N channel J FET

รูปที่ 1

การทำงานของ FET ไม่ว่าจะมีโครงสร้างแบบใดก็ตาม คือการไหลของกระแส Drain ผ่าน channel จะขึ้นอยู่กับศักดาไบอัสระหว่างเกทกับซอส V_{GS}ในกรณีของ Junction FET นี้ ปริมาณของกระแส i_D จะถูกควบคุมด้วยความกว้างของ Depletion Region ของรอยต่อ P-N ซึ่งศักดาไบอัส V_{GS} จะทำให้ความกว้างของ Depletion Region เปลี่ยนแปลงไป



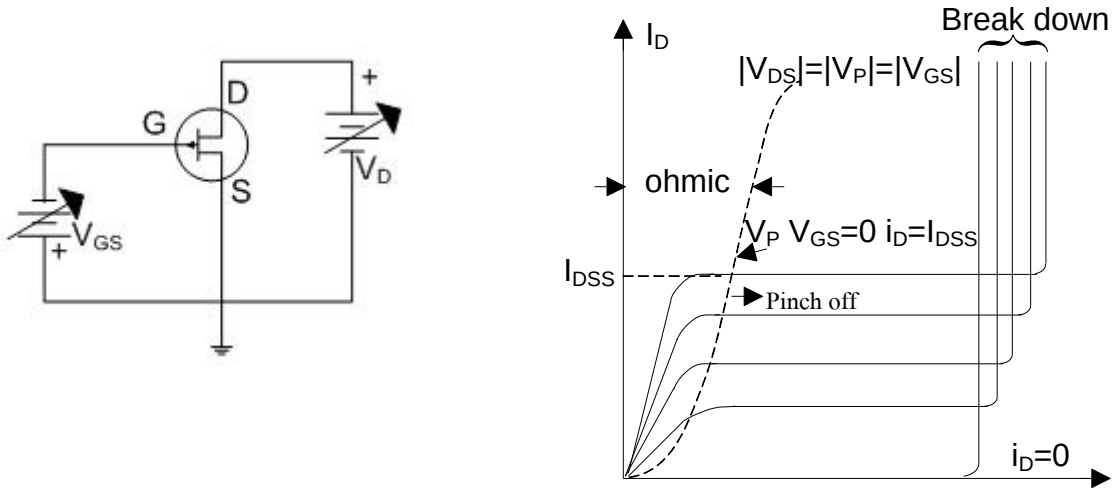
รูปที่ 2

พิจารณาในขณะที่ยังไม่มีไบอัสใดๆให้กับเกทและซอส $(V_{GS} = 0)$ ดังในรูปที่ 2 ในขณะที่ศักดา V_{DS} มีค่าน้อยๆความกว้างของ Depletion Region ก็จะมีความกว้างไม่มาก ความต้านทานของ channel จะมีค่าต่ำกระแสไหลได้อย่างสะดวก ในขณะนี้ที่ channel จะเป็นเสมือนค่าความต้านทานต่ำๆ 1 ตัว เมื่อเพิ่ม V_{DS} ขึ้น กระแสก็จะไหลได้มากขึ้น เหมือนความต้านทานธรรมดาการทำงานของ FET ในขณะที่ V_{DS} มีค่าต่ำๆ และความต้านทานของ Channel จะมีค่าค่อนข้างคงที่ช่วงนี้เรียกการทำงานในย่านโอห์มมิค (Ohmic Region or Triode Region)

ในขณะที่เพิ่ม V_{DS} ขึ้นไปอีก Reverse Bias ที่ Junction ได้รับจะมากขึ้น Depletion Region กว้างมากขึ้นทำให้ความต้านทานของ channel เพิ่มขึ้น ถึงแม้ว่าจะเพิ่ม V_{DS} แต่กระแส i_D จะไม่เพิ่มขึ้นอีกต่อไป กระแส i_D จะเข้าสู่สภาวะอิ่มตัว กระแส i_D ในสภาวะอิ่มตัว ในขณะที่ $V_{GS} = 0$ นี้เรียก I_{Dss} หรือ I_{DO} (Drain saturation current) ซึ่งเป็น Parameter ที่สำคัญตัวหนึ่งของ FET การทำงานาของ FET ในขณะนี้เรียกว่า Pinch-off Region และเมื่อเพิ่ม V_{DS} ขึ้นมากๆ Junction ก็จะเกิด Avalanche Breakdown เช่นเดียวกับ PN Junction ทั่วไป

และถ้าเราให้ศักดาไบอัส V_{GS} แก่ FET ในลักษณะ Reverse Bias กล่าวคือ เกทศักย์เป็นลบมากกว่าซอสใน N channel หรือเกทเป็นบวกมากกว่าใน P channel ก็ยิ่งทำให้กระแส i_D ลดลงเพราะ channel+ ลดลงจนเป็นศูนย์เรียกว่า Pinch off Voltage : V_P หรือ

ในรูปที่ 3 เป็นคุณสมบัติของ N-channel JFET



รูปที่ 3 คุณสมบัติของ N Channel J FET

ความสัมพันธ์ระหว่างกระแส $\mathrm{I_D}$ กับศักดาไบอัส $\mathrm{V_{GS}}$ จะเป็นดังสมการ

$$I_{\mathrm{D}} = I_{DSS}\left(1 - \frac{V_{GS}}{V_P}\right)^2 \qquad (1)$$

หรือ

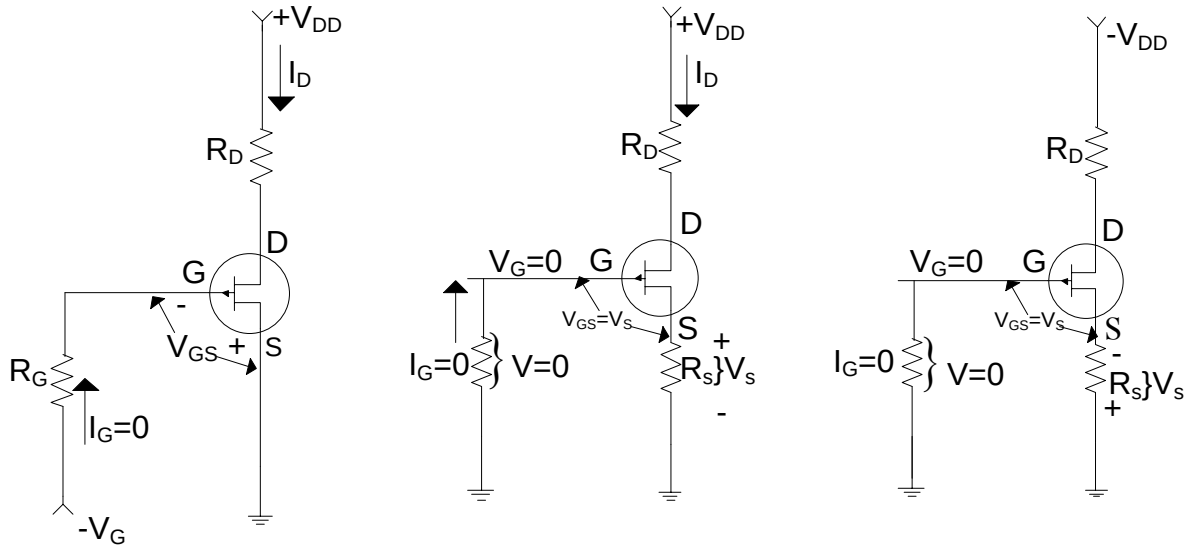
$$V_{\mathrm{GS}} = V_P\left(1 - \sqrt{\frac{I_D}{I_{DSS}}}\right) \qquad (2)$$

หรือ $\mathrm{I_{DO}}$ = Drain Source Saturated Current ในขณะ V_{GS} = 0

$\mathrm{V_P}$ = Pinch-Off Voltage หรือ $V_{GS(off)}$

การไบอัส JFET

เราสามารถบังคับ $\mathrm{I_D}$ ให้ไหลตามที่ต้องการได้โดยการให้ศักดาไบอัส V_{GS} จากสมการ (2) ในทางปฏิบัติเราสามารถใช้ R_{S} แทน Battery V_{GS} ได้ดังรูปที่ 4



(a) (b) N-channel (c) P-channel

รูปที่ 4 การไบอัส JFET

ในรูปที่ 4a จะต้องใช้ Power Supply 2 ชุด แต่เราทราบว่า PN-Junction ที่เกทนั้นเป็น Reverse ดังนั้นจะมีกระแสเกทไหลน้อยมากหรือกล่าวได้ว่า $\mathrm{I_G} = 0$ ถ้าเราให้ $\mathrm{V_G} = 0\mathrm{V}$ จะได้

$$\mathrm{V_{GS}} = V_G - V_S = -V_S = -I_D R_S \qquad \text{(b)}$$

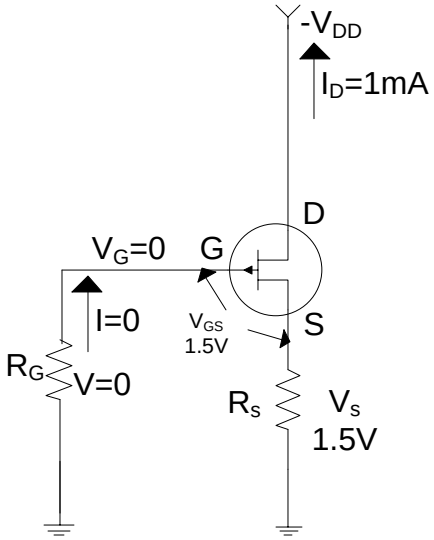
และในกรณีของ P-channel จะได้

$$\mathrm{V_{GS}} = V_G - V_S = +V_S = +I_D R_S \qquad \text{(c)}$$

ตัวอย่าง จาก characteristics ของ 2N3820 $\mathrm{I_{Dss}} = 4\mathrm{mA\ (Typ.)}$ และ $V_\mathrm{P} = 3\mathrm{V\ (Typ.)}$ คำนวณหาค่า $\mathrm{R_S}$ เพื่อไบอัส 2N3820 ให้มี $\mathrm{I_D}$ ไหล 1 mA จากสมการ (2)

$$\mathrm{V_{GS}} = \mathrm{V_P}\left(1 - \sqrt{\frac{\mathrm{I_D}}{\mathrm{I_{DSS}}}}\right)$$
$$= 3\left(1 - \sqrt{\frac{1}{4}}\right) = 1.5\mathrm{V}$$

จะได้ $R_\mathrm{S} = \frac{1.5}{1mA} = 1.5\mathrm{k}$



รูปที่ 5

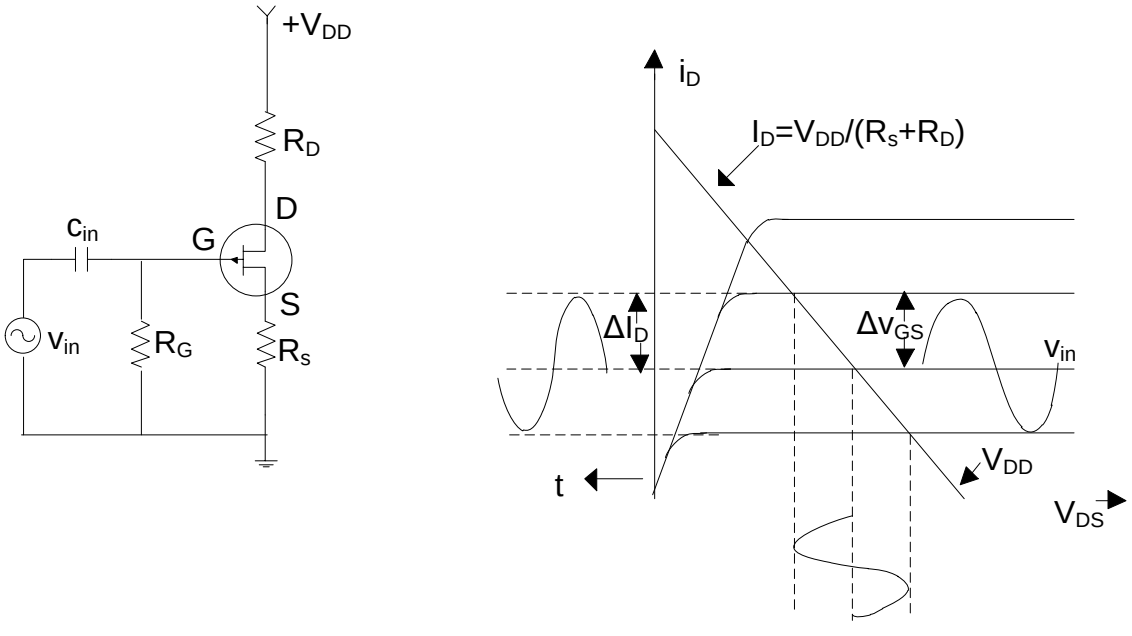
หมายเหตุ การคำนวณค่าของ R_S เพื่อไบอัส JFET นี้ บางครั้งจะมี error สูงมากทั้งนี้เนื่องจาก

1) สมการ (1) ค่าของ I_Dที่คำนวณได้นั้นเป็นการประมาณค่าจากสมการที่ Shockley ทำไว้ในปี 1952 คือ

$$I_D = I_{DSS}\left(1 - \frac{V_{GS}}{V_P}\right)^n$$ โดยประมาณ n = 2

2) Parameter ของตัว JFET มีความแปรผันมาก จากตัวอย่าง I_{DSS} ของ 2N3820 มีได้ตั้งแต่ 0.3-20 mA ซึ่งค่าต่ำสุดกับค่าสูงสุดต่างกันถึง 66 เท่า ดังนั้นในวงจรที่ต้องการความแม่นยำสูงจึงต้องมีวิธีการไบอัสแบบอื่นเพื่อให้ได้ I_D ที่เที่ยงตรงขึ้น

FET Amplifier



รูปที่6

เขียน KVL จาก V_{DD} ไปยังกราวนด์

$$V_{DD} = I_D(R_S + R_D) + V_{DS} \quad (3)$$

สมการที่ (3) นี้คือ Load-Line equation ของ FET เมื่อนำไป plot ลงบน characteristic curve ของ FET สามารถที่จะนำไปใช้ในการวิเคราะห์การทำงานของ FET Amplifier ได้

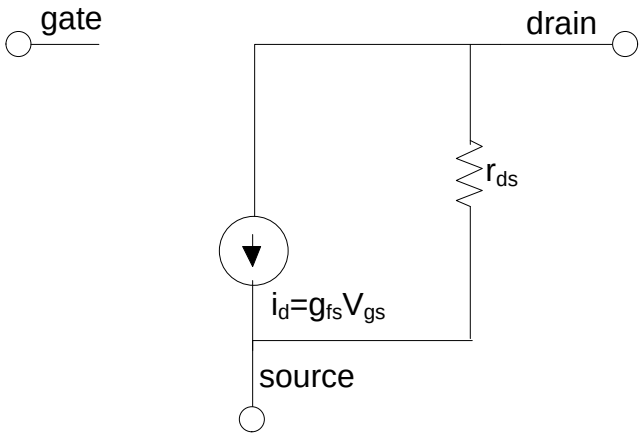
เมื่อเราป้อนศักดาอินพุทเข้าระหว่างเกทกับซอส ก็จะทำให้ศักดา v_{GS} เปลี่ยนแปลงไปตามอินพุท i_D ก็จะมีการเปลี่ยนแปลงตาม v_{GS} จะได้เอาต์พุตโวลเตจเป็น $v_o = \Delta i_D R_D$ ซึ่ง Δi_D จะมีรูปร่างเหมือนกับ v_{gs} หรือ v_{in} ก็จะได้ FET Amplifier ให้ g_{fs} เป็น Forward Transconductance

$$g_{fs} = \frac{\Delta I_{out}}{\Delta V_{in}} \quad \text{หรือ} \quad g_{fs} = \frac{\Delta I_D}{\Delta V_{gs}} \quad (4)$$

หรือ $i_d = g_{fs} V_{gs}$ (5)

และ $v_{out} = i_d R_D = g_{fs} V_{gs} R_D$

Equivalent circuit ของ FET เป็นดังรูปที่ 6



รูปที่ 7

Parameter ต่างๆหาได้ดังต่อไปนี้

r_{ds} : เป็น output impedance ของ current source i_d

$$r_{ds} = \frac{\Delta V_{DS}}{\Delta I_{DS}}$$

โดยทั่วไปมีค่าค่อนข้างสูงสามารถตัดทิ้งได้

g_{fs} : Forward Transconductance

จาก (1) diff เทียบ V_{GS} ได้

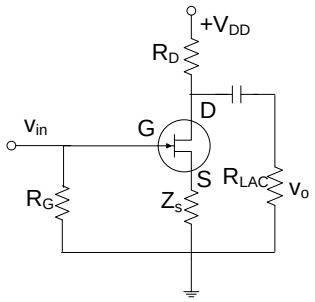
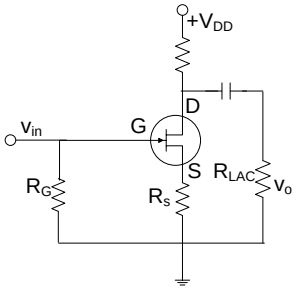
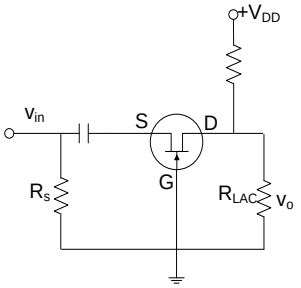
$$g_{\mathrm{fs}} = \frac{I_D}{V_{GS}} = \frac{I_{DSS}}{V_{GS}}\left(1 - \frac{V_{GS}}{V_P}\right)^2 \qquad (6)$$

จากสมการ (6) จะเห็นว่าค่าของ g_{fs} นั้นเปลี่ยนแปลงตาม V_{GS} หรือเปลี่ยนแปลงตาม I_D

ตัวอย่าง จากข้อมูลของ 2N3820 $I_{DSS} = 4mA\ (Typ.)\ V_P = 3V$ ค่าของ g_{fs} ที่ I_D ต่างหาได้จาก

	I_D	100uA	200uA	500uA	1mA	2m
จาก (2)	V_{GS}	2.52	2.32	1.94	1.5	0.88
จาก (6)	g_{fs}	426μ	600 μ	942 μ	1.3m	1.88m

จากที่กล่าวในตอนต้นว่า Parameter ของ JFET มี variation สูงมากดังนั้นการที่จะออกแบบวงจรให้มี Voltage gain ตามต้องการจึงมักมี error เกิดขึ้นมาก ในทางปฏิบัติมักใช้ JFET เป็นส่วนหนึ่งของวงจรใหญ่และใช้ Negative feedback ควบคุมระบบอีกครั้ง ดังนั้นในการออกแบบ Single Stage FET Voltage Amp. จึงมักจะทำให้มี Voltage gain สูงสุดเท่าที่จะทำได้รูปแบบต่างๆของการต่อวงจร FET AMP สามารถทำได้ 3 แบบ เช่นเดียวกับ Bipolar Transistor ดังตารางต่อไปนี้

วงจร	 Common Source	 Common Drain	 Common Gate
Voltage Gain (A_v)	$\frac{-g_{fs}Z_D}{1+g_{fs}Z_S}$ $Z_D = R_D//R_{LAC}$ For Fully Bypassed $Z_S \approx 0$ $A_v \approx -g_{fs}Z_D$	$\frac{+g_{fs}Z_S}{1+g_{fs}Z_S}$ $Z_S = R_S//R_{LAC}$ For Large R_{LAC} $A_V \approx +1.0$	$+g_{fs}Z_D$ $Z_D = R_D//R_{LAC}$
Z_{in}	R_G	R_G	$R_S//\frac{1}{g_{fs}}$
Z_{out}	R_D	$\frac{R_S}{1+g_{fs}R_S}$	R_D

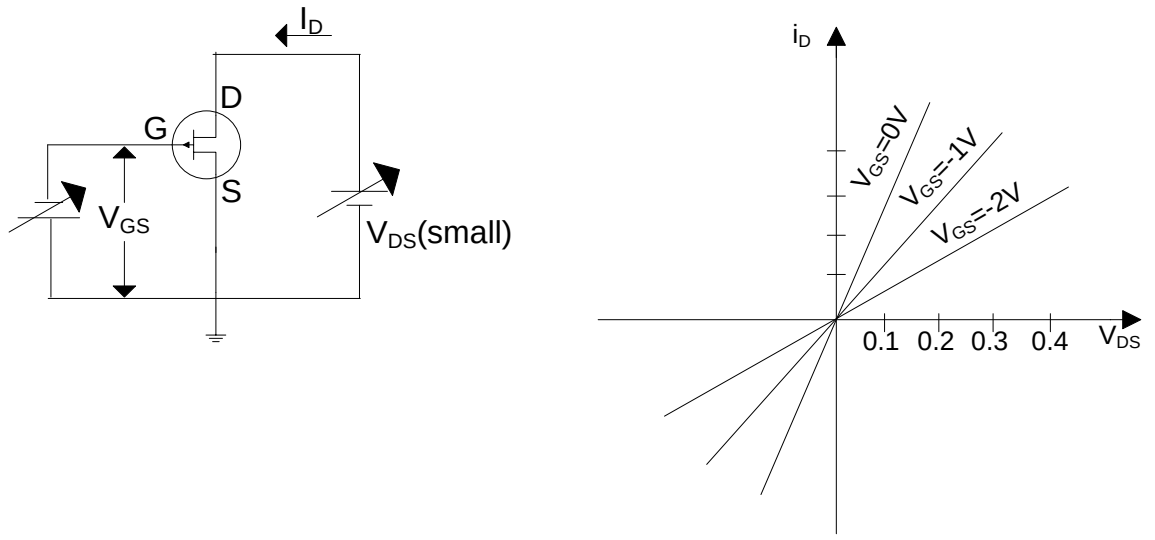
ข้อดีของ FET Amplifier

1) เนื่องจาก PN Junction ที่ด้าน Input อยู่ในสภาวะ Reverse Bias ทำให้กระแส Input มีค่าใกล้เคียงศูนย์ Z_{in} ของวงจรสามารถทำให้มีค่าสูงๆได้ (เป็น MΩ) ยกเว้นวงจร Common Gate (เนื่องจาก Input เป็น Δi_D)
2) ใช้เป็น Low-noise Amplifier ได้ดีเนื่องจากกระแส Input มีค่าน้อยมากทำให้ไม่มี Shot noise เกิดขึ้นในวงจร input
3) การไหลของ I_D เกิดขึ้นเนื่องจากสนามไฟฟ้า V_{DS} จึงเคลื่อนที่ได้เร็วกว่าการไหลของ I_c ซึ่งเกิดจากการ Diffuse ข้าม Junction FET จึงสามารถไปใช้งานกับความถี่สูงได้

ข้อเสีย FET Amplifier มี Voltage gain ต่ำ

การใช้ JFET เป็น variable Voltage controlled Resistance (VCR)

ในขณะที่ศักดาระหว่างเดรนซอส (V_{DS}) มีค่าต่ำๆการไหลของกระแส I_D กับ V_{DS} จึงมีความสัมพันธ์กันอย่างเป็นเชิงเส้นเหมือนความต้านทานธรรมดา และเรายังสามารถที่จะเปลี่ยนแปลงค่าความต้านทานของแชนแนลได้ โดยไบอัสที่เกทกับซอส ดังรูปที่ 8



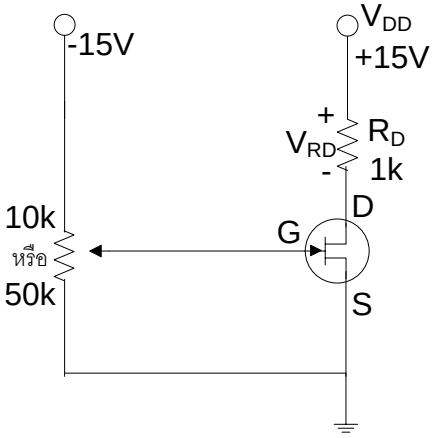
รูปที่ 8

สำหรับ MOSFET แบ่งได้เป็น 2 ชนิด ตามลักษณะของโครงสร้างคือ Depletion MOSFET และ Enhancement MOSFET ส่วนใหญ่ MOSFET จะถูกนำไปใช้งานในวงจรดิจิตอลมากกว่าที่จะใช้เป็น Linear Amplifier ในที่นี้จะกล่าวเฉพาะ JFET เท่านั้น

การทดลอง

1 Junction FET

วัดค่า Drain Saturation Current : I_{DSS} และ Pinch off Voltage : V_P ของ N channel JFET เบอร์ K30A ต่อวงจรดังในรูปที่ 9.1



รูปที่ 9.1 วงจรที่ใช้ทดลองวัดค่า I_{DSS} และ V_D

การวัดกระแสไบอัส I_D และศักดา V_{GSPs} ในการทดลองให้วัดโดย

- การวัดกระแส I_D โดยการวัดศักดาตกคร่อม R_D แล้วจึงไปคำนวณหาค่า I_D
- การวัดศักดา V_{GS} ให้ใช้ออสซิลโลสโคปหรือดิจิตอลมิเตอร์วัดเท่านั้น

1.1 ปรับ VR ให้ศักดา V_{GS} มีค่าเป็นศูนย์ วัดกระแส I_D ที่วัดได้นี้คือค่า I_{DSS} ของ FET

I_{DSS} =_____

1.2 ค่อยๆปรับ VR เพิ่มค่า V_{GS} ขณะที่เพิ่ม V_{GS} นี้จะเห็นว่า I_D จะไหลลดลงค่าของ V_P คือ V_{GS} ที่ทำให้ I_D ลดลง

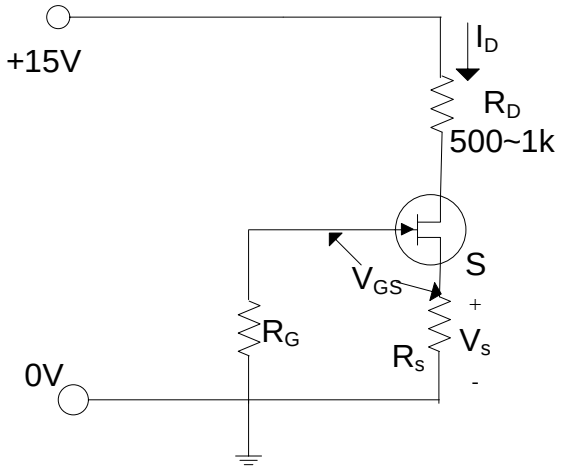
- เพื่อให้ได้ค่า V_P ที่ใกล้เคียงที่สุด ค่อยๆปรับ VR จนนี้ I_D มีค่า 0 A (หรือน้อยกว่า 0.5μA) โดยคำนวณจาก $I_D = V_{RD}/R_D$ ถ้าไม่สามารถปรับได้ให้เปลี่ยน R_D เป็น 100k แล้วค่อยๆปรับ VR ในขณะจะถือว่าในขณะนี้ FET เข้าสู่สภาวะ OFF แล้วให้หยุดปรับ VR
- วัดค่าศักดา V_{GS} ศักดา V_{GS} ที่วัดได้นี้คือค่า Pinch off voltage : V_P =_____

หมายเหตุ

1) ในการวัดค่าศักดาน้อยๆ ถ้าใช้ออสซิลโลสโคปวัด อาจจะมีสัญญาณรบกวน 50Hz มารบกวนทำให้อ่านค่าได้ยาก ให้ใช้ C 0.1 μF Low Leakage ต่อคร่อมจุดที่จะวัดนั้น
2) กราวนด์ของสโคปทั้ง 2 แชนแนลต่อถึงกันอยู่ เมื่อใดก็ตามที่วัดศักดาไฟฟ้า จะใช้กราวนด์ของแชนแนลใดแชนแนลหนึ่งเท่านั้น

2 Depletion Mode JFET Biasing

ใช้ในวงจรในรูปที่ 9.2



รูปที่ 9.2

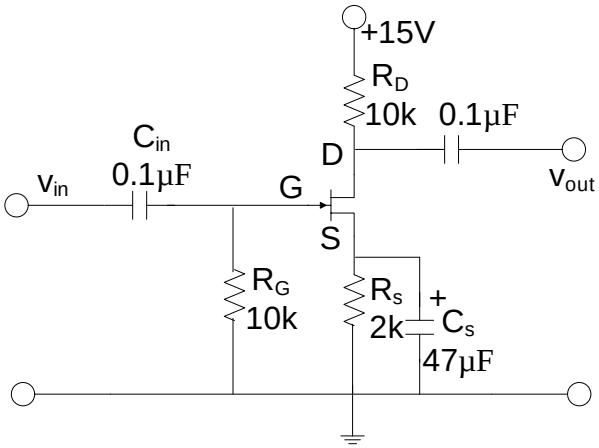
$R_D = 1k$ เปลี่ยนค่า R_G และ R_S ตามตารางที่ 2 วัดกระแส I_D (V_{RD}) และศักดา V_{GS}

ตารางที่ 2 Depletion Mode Biasing (JFET)

R_S (Ω)	0		330		2k		10k		50k	
R_G (Ω)	10k	100k	10k	100k	10k	100k	10k	100k	10k	100k
V_{RD} (วัด)										
$I_D = \frac{V_{RD}}{R_D}$ (mA)										
V_{GS} (วัด)										
$V_S = I_D R_S$										
V_{GS} (คำนวณจาก 2)										

3 Common Source Amplifier

ใช้วงจรรูปที่ 10



รูปที่ 10

3.1 ต่อวงจรดังรูปที่ 10 ยังไม่ต้องป้อนอินพุท v_{in} วัดค่ากระแส I_D=_____ ศักดาไบอัส $V_{GS} =$ _____ $Z_{in} =$ _____$Z_{out} =$ _____ของวงจร

3.2 คำนวณค่า $g_{fs} =$ _____ โดยใช้ค่า I_D ที่วัดได้จากข้อ 3.1 และค่า I_{DSS}, V_P จากข้อ 1

3.3 ต่อ R_L 50k ป้อนอินพุท v_{in} ให้กับวงจรความถี่ประมาณ 1kHz Sinusoidal โดยปรับให้มีขนาดสูงที่สุดและเอาท์พุตยังเป็นรูป sine, $v_{in} =$ _____แล้วทดลองวัดค่า $A_V = \frac{v_{out}}{v_{in}} =$ _____

3.4 คำนวณค่า $A_V =$ _____, $Z_{in} =$ _____, $Z_{out} =$ _____ ของวงจรในรูปที่ 10 (Fully Bypassed) โดยใช้ค่า g_{fs} จากข้อ 3.2 เปรียบเทียบกับผลการทดลอง

3.5 คำนวณค่า $A_V =$ _____, $Z_{in} =$ _____, $Z_{out} =$ _____ ของวงจรโดยใช้ค่า g_{fs} ใน specification จาก datasheet ของ FET เปรียบเทียบกับผลการทดลอง

3.6 เปลี่ยน R_G เป็น 10k และ 20k และ 50k วัดค่า Z_{in} และคำนวณเปรียบเทียบ

ตารางที่ 3

R_G	10k	20k	50k
Z_{in} (วัด)			
Z_{in} (คำนวณ)			
Av (วัด)			
Av (คำนวณ)			

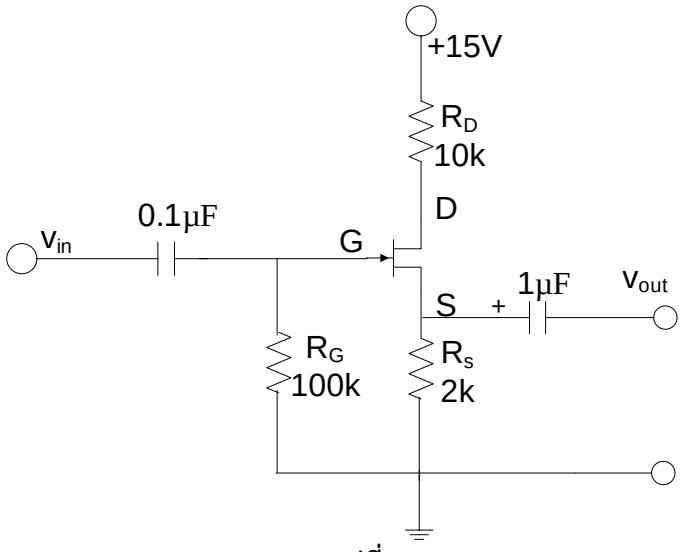
3.7 เปลี่ยน R_G เป็น 10k ปลด C_S ออกจากวงจร ในขณะนี้วงจรทำงานในลักษณะของ Unbypassed Common Source Amplifier แล้วทำการทดลองคำนวณเปรียบเทียบเหมือนกับกรณีของ Fully Bypassed จากข้อ 3.3 ถึง 3.5

$A_V =$ _____, $Z_{in} =$ _____, $Z_{out} =$ _____ (วัด)

$A_V = _____, Z_{in} = _____, Z_{out} = _____$ (คำนวณ)

4. COMMON Drain Amplifier

ใช้วงจรที่ 11 ต่อ R_L 10k



รูปที่ 11

ทำการทดลองและคำนวณเปรียบเทียบเช่นเดียวกับข้อ 3.3-3.5

$I_D = _____ V_{GS} = _____ Z_{in} = _____ Z_{out} = _____ A_V = _____$ (วัด)

$I_D = _____ V_{GS} = _____ Z_{in} = _____ Z_{out} = _____ A_V = _____$ (คำนวณ)

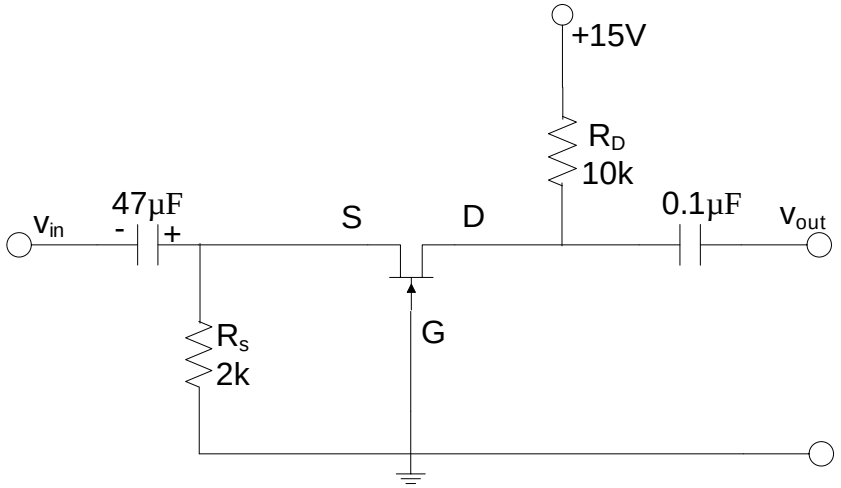
5. COMMON GATE AMPLIFIER

ใช้วงจรรูปที่ 12 ต่อ R_L 50k

ทำการทดลองและคำนวณเปรียบเทียบเช่นเดียวกับข้อ 3.3-3.5

$I_D = _____ V_{GS} = _____ Z_{in} = _____ Z_{out} = _____ A_V = _____$ (วัด)

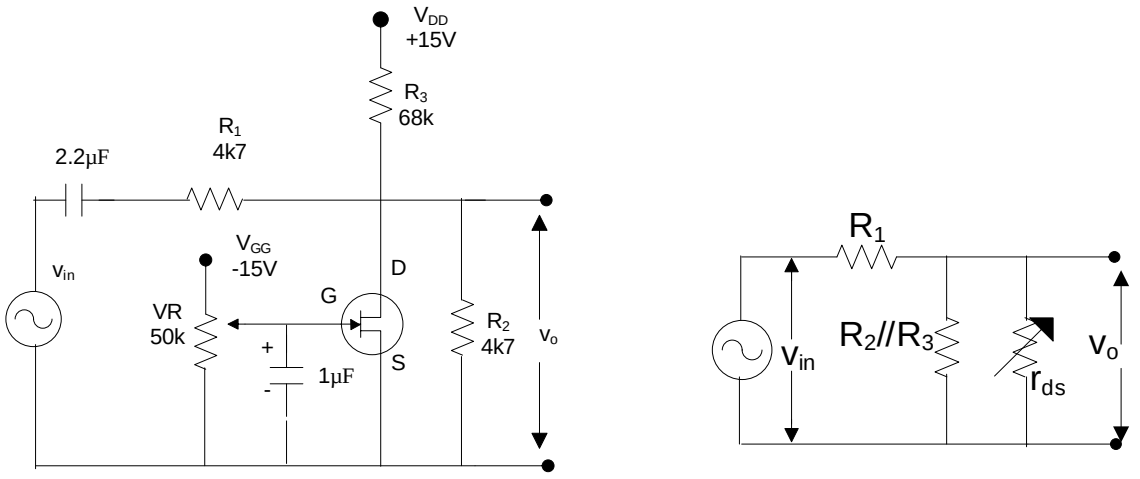
$I_D = _____ V_{GS} = _____ Z_{in} = _____ Z_{out} = _____ A_V = _____$ (คำนวณ)



รูปที่ 12

6. การใช้ JFET เป็น Voltage Controlled Resistance

ต่อวงจรตามรูปที่ 13 (ก)

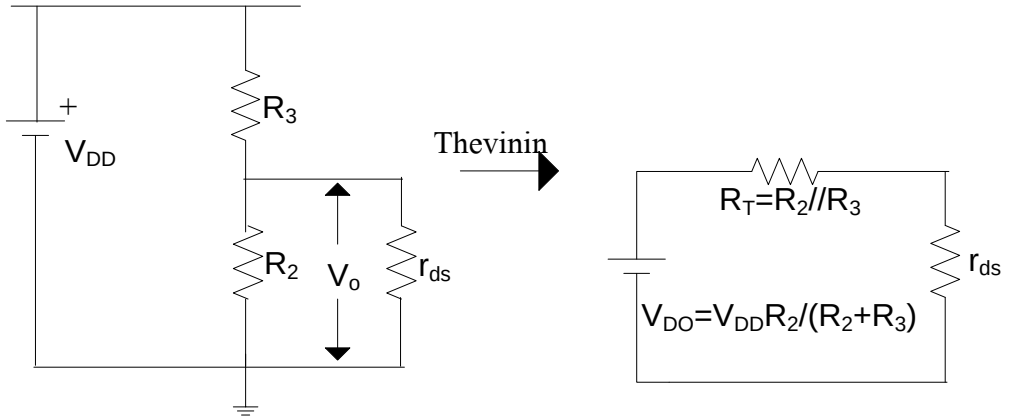


(ก) (ข)

รูปที่ 13

วงจรในรูปที่ 13 (ข) เป็นวงจรเสมือนกระแสสลับของวงจรในรูป 13(ก) ในขณะที่เปลี่ยนค่าศักดาไบอัส V_{GS} ก็จะทำให้ความต้านทานของแชนแนล r_{ds} เปลี่ยนแปลงไป สัญญาณที่เอาต์พุตจะเปลี่ยนแปลงไปตามการไบอัสที่เกท

6.1 ยังไม่ต้องป้อนสัญญาณอินพุท v_{in} ปรับค่าศักดาที่เกท ดังตารางที่ 4 วัดค่าศักดา DC ที่เอาต์พุต จากผลการทดลองที่ได้คำนวณหาค่าของ r_{ds} ที่ศักดา V_{GS} ค่าต่างๆ วิธีการคำนวณค่า r_{ds} (DC) ทำดังนี้



รูปที่ 14

จากรูป $V_O = \frac{V_{DO} r_{ds}}{R_T + r_{ds}}$ (7a)

หรือ $r_{ds} = \frac{R_T}{\frac{V_{DO}}{V_O} - 1}$ (7b)

ตารางที่ 4 $V_{DD} = 15.0V$

V_{GS}	0	-0.5	-1	-1.5	-2	-3	-5	V
V_O (DC)								V
r_{ds} (DC)								**Ω**

6.2 * ป้อนสัญญาณอินพุท v_{in} ขนาดประมาณ $1V_{PP}$ ความถี่ประมาณ 1 kHz ปรับค่าศักดาไบอัสที่เกทดังตารางที่ 5 วัดค่าของสัญญาณเอาต์พุตและคำนวณหาค่าของ r_{ds}

ตารางที่ 5 $v_{in} =$.....V_{pp} $V_{DD} = 15.0V$

V_{GS}	0	-0.5	-1	-1.5	-2	-3	-5	V
v_O (AC)								V_{PP}
r_{ds} (AC)								**Ω**

หมายเหตุ* ในขณะที่เปลี่ยนค่า V_{GS} ต้องตรวจสอบและปรับค่า v_{in} ให้คงที่เสมอ

** การคำนวณค่า r_{ds} ทำได้ในทำนองเดียวกับข้อ 6.1 (รูปที่ 13 ข)

คำถาม

1. เปรียบเทียบการทำงานของ FET กับ Bipolar Transistor
2. อธิบายโครงสร้างและการทำงานของ MOSFET ทั้งแบบ Depletion และ Enhancement และเปรียบเทียบความแตกต่างของ MOSFET ทั้งสองแบบ
3. เราสามารถนำ JFET ไปใช้งานแบบ Enhancement ได้หรือไม่เพราะเหตุใด
4. ยกตัวอย่างวงจรที่นำ JFET ไปใช้งานจริงมา 1 วงจร ให้บอกด้วยว่าวงจรดังกล่าวอยู่ในอุปกรณ์อะไร JFET นั้นทำงานอย่างไร และสามารถที่จะใช้อุปกรณ์อื่นทำหน้าที่แทน JFET นั้นได้หรือไม่เพราะเหตุใด

วิเคราะห์และสรุปผลการทดลอง